



Espacenet

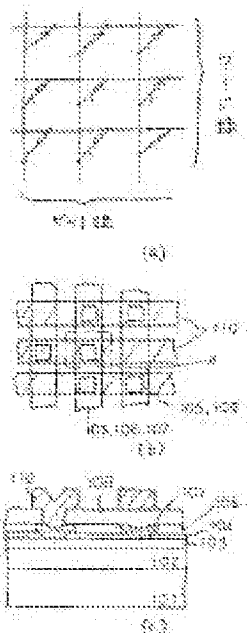
Bibliographic data: JP 4042570 (A)

SEMICONDUCTOR DEVICE

Publication date: 1992-02-13
Inventor(s): KONDO TOSHIHIKO ±
Applicant(s): SEIKO EPSON CORP ±
Classification:
- international: **H01L21/8246; H01L27/10; H01L27/112;** (IPC1-7): H01L27/112
- European:
Application number: JP19900150148 19900608
Priority number(s): JP19900150148 19900608
Also published as: ● [JP 2876716 \(B2\)](#)

Abstract of JP 4042570 (A)

PURPOSE: To realize more compactness and higher speed operation by the means of constitution of the second opening formed over the first opening in the prescribed part of the first region (the 2nd conductive type) of the second conductive layer, and the third conductive layer with AL main component, which is formed over the second opening.
CONSTITUTION: With a contact opening 109 as a base of one unit cell, it is decided by the data on a mask during forming process whether a contact opening is necessary or not. In other words, electrical sensing of whether a wiring layer 110 and a conductive layer 103 make continuity or not contributes to the judgement of data, thereby a cell becomes an exclusive read memory. At this time, even if the conductive layer 103 and the wiring layer 110 are simply connected at an opening 109, short circuit occurs between cells in the cell part formed in matrix condition. To avoid this, a polycrystalline silicon layer is installed beneath the opening, and P-N junction is made by there forming N-type impurity layer 106 and P-type impurity layer 107. In this way, short circuit can be avoided due to operation of rectification. As a result, the conductive layer 103 and the wiring layer 110 can be directly contacted and more compactness can be realized.



⑫ 公開特許公報(A) 平4-42570

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月13日

H 01 L 27/112

8831-4M

H 01 L 27/10

4 3 3

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-150148

⑯ 出 願 平2(1990)6月8日

⑰ 発 明 者 近 藤 俊 彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板上に形成された第一の絶縁膜、該第一の絶縁膜上に形成された第一導電型の不純物を含む第一の導体層、該第一の導体層を含む表面上に形成された第二の絶縁膜、該第一の導体層上で該第二の絶縁膜の所定部に形成された第一の開口部、該第一の開口部で該第一の導体層に直接接触する様に形成され少なくとも該第一の開口部をおおうように形成された、多結晶シリコンからなる第二導体層、該第二の導体層に於いて、該第一の開口部上またはこれをおおうように形成された第二導電型の不純物を含む第一の領域とそれ以外の部分で第一導電型の不純物を含む第二の領域、該第二の導体層上に形成された第三の絶縁膜、該第三の絶縁膜に於いて該第二の導体層の第二導電型

の第一の領域の所定部分で該第一の開口部の上方に形成された第二の開口部と、該第二の開口部上に形成されたALを主成分とする第三の導体層からなることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の構造の改良に関する。

〔従来の技術〕

半導体装置特に読み出し専用メモリーについては従来第2図(a)に示すように1つのセルについて1つのトランジスタにより構成されこのトランジスタのしきい値電圧をイオン注入法により変えることによりROMデータを書き込んでいた。第2図(b)はこの断面図であり、201は半導体基板、202はゲート膜、203はゲート電極、204は濃度の高い拡散層、205はLDD構造の濃度の低い拡散層、206はLDD構造のサイドウォール絶縁膜、207は層間絶縁膜、208

はAL配線である。ここでROMデーター書き込みは層間絶縁膜207の形成前又は形成後にイオン注入により不純物層209を形成し、しきい値電圧を変えることにより行っていた。また第2図(c)は平面図でありaが一セルの単位部分で、210は素子分離領域である。

〔発明が解決しようとする課題〕

微細化高集積化が進む中で、1つのセルで1つのトランジスタと共有するものの1つのコンタクト部(第2図(b)ではゲート電極3とAL208と拡散層204が対応)が必要となり、あまり縮小化できないという問題点と、またトランジスタ自体のオン抵抗が下げられないため高速化ができないという問題点とが顕在化して来た。

本発明はかかる課題を解決し、縮小化と高速化が実現できる構造を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上に形成さ

第一図(a),(b),(c)は本発明の一実施例を示す半導体装置の回路方式および構造を示す平面図および断面図である。

第一図(b),(c)に於いて、101は半導体基板、102は素子分離絶縁膜、103はゲート電極と同一材質により形成され第一導電型の不純物を含む導体層たとえばN型不純物を含む多結晶シリコン又はこの表面に高融点金属シリサイドが形成されているいわゆるポリサイド、104は第一の層間絶縁膜、105は第一の開口部、106は第一導電型つまりN型不純物を含む多結晶シリコン層、107は第二導電型つまりP型不純物を含む多結晶シリコン層、108は第二の層間絶縁膜、109は第一の開口部105上のP型不純物を含む多結晶シリコン層上に形成された第2の開口部、110はAL等の配線層である。また第一図(b)のAは一セル単位部分である。

第1図(b),(c)からわかるように一つのセル単位を一つのコンタクト開口部109を基本とし、コンタクトの開口をするかしないかを加工

れた第一の絶縁膜、該第一の絶縁膜上に形成された第一導電型の不純物を含む第一の導体層、該第一の導体層を含む表面上に形成された第2の絶縁膜、該第一の導体層上で該第2の絶縁膜の所定部に形成された第一の開口部、該第一の開口部で該第一の導体層に直接接触する様に形成され少なくとも該第一の開口部をおおうように形成された、多結晶シリコンからなる第2導体層、該第2の導体層に於いて、該第一の開口部上またはこれをおおうように形成された第2導電型の不純物を含む第一の領域とそれ以外の部分で第1導電型の不純物を含む第二の領域、該第2の導体層上に形成された第3の絶縁膜、該第3の絶縁膜に於いて該第2の導体層の第2導電型の第一の領域の所定部分で該第一の開口部の上方に形成された第2の開口部と、該第2の開口部上に形成されたALを主成分とする第3の導体層からなることを特徴とする半導体装置。

〔実施例〕

工程中のマスク上のデーターで作り込む、つまり配線110と導体層103が導通しているかどうかを電氣的にセンスすることによってデーターを判定することにより読み出し専用メモリーとする方法である。このとき単に導体層103と配線層110とが開口部109で接続されているだけではマトリクス状に形成されているセル部に於いてセル間が短絡してしまう。これを避けるために開口部下に多結晶シリコン層を設けここにN型不純物層106とP型不純物層107を形成することによりP-N接合を形成し、この整流作用により回避した。この構造を回路図に示したのが第一図(a)である。また、このとき導体層103と多結晶シリコン層106ないし107との間に絶縁膜104を形成することにより加工性も良くした。すなわち、導体層103と多結晶シリコン層106ないし107が全面に接触している場合両者は連続的にエッチングをせねばならず、またAL等の配線層110と導体層103とを直接接続したい場合必ず多結晶シリコン層106を介さね

ばならず接触抵抗等問題が生じた。一方絶縁膜104を介することにより、これがエッチングをストップすることができ多結晶シリコン層106、107と導体層103を別々にエッチングすることができかつ導体層103と配線層110を直接接触することができた。

この方法により第1図(b)のようなメモリセルを実現することができ縮小化が実現できた。さらにトランジスタを介さず、P-N接合はあるものの導体層103と配線層110との電氣的導通により機能しているためトランジスタのON抵抗より抵抗が低く高速化が計れた。またコンタクトつまり開口部107の有無にてデータを書き込むため、データの書き込みから製品完成までの時間つまり製造納期も短縮できた。

〔発明の効果〕

以上のように本発明によれば従来トランジスタによりメモリセルを構成していた読み出し専用メモリのメモリセルを多結晶シリコン上に形成

したダイオードとこのダイオード上に形成したコンタクトによりメモリセルを構成し、高集積化、高速化、さらに短納期も計れた。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の説明図で第1図(a)は回路図、第1図(b)は平面図、第1図(c)は断面図。

第2図(a)～(c)は従来構造の説明図で第2図(a)は回路図、第2図(b)は平面図、第2図(c)は断面図。

図中に於いて、

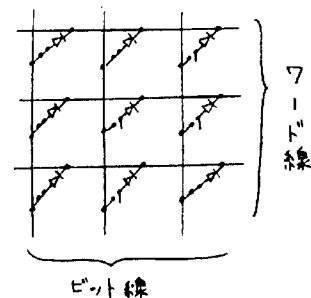
- 101, 201 --- 半導体基板
- 102, 210 --- 素子分離絶縁膜
- 103, 203 --- N型不純物を含むゲート電極およびその配線層
- 104 --- 第一の層間絶縁膜
- 105 --- 第一の開口部
- 106 --- N型不純物を含む多結晶シリコン層

- 107 --- P型不純物を含む多結晶シリコン層
- 108 --- 第2の層間絶縁膜
- 109 --- 第2の開口部
- 110, 208 --- AL等の配線層
- 202 --- ゲート絶縁膜
- 204 --- 濃度の高い不純物層
- 205 --- 濃度の低い不純物層
- 206 --- サイドウォール
- 207 --- 層間絶縁膜
- 209 --- データ書き込みのための不純物層
- 211 --- コンタクト

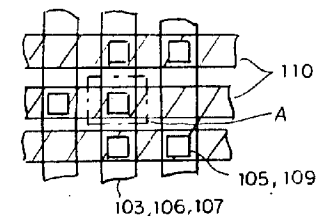
以 上

出願人 セイコーエプソン株式会社

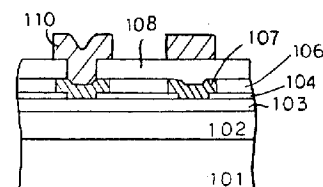
代理人 弁理士 鈴木喜三郎(他1名)



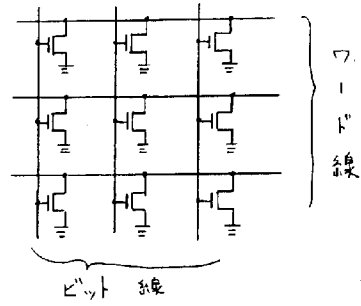
第1図 (a)



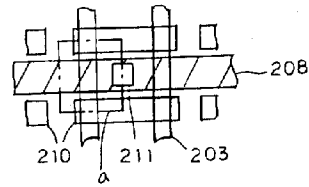
第1図 (b)



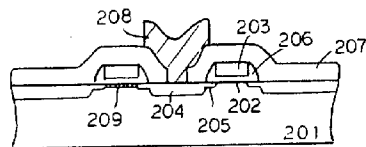
第1図 (c)



第 2 図 (a)



第 2 図 (b)



第 2 図 (c)